

Acronyme :	FPGA1
Intitulé de l'UE:	Systèmes programmables

Volumes horaires:	20h CM; 0h TD; 40h TP;
Semestre :	M1-S2
Responsable d'UE :	J.Denoulet
Equipe pédagogique :	Bertrand Granado, Julien Denoulet

Objectifs de l'UE (5-10 lignes max)

Cette UE traite de l'implémentation de systèmes numériques sur plates-formes reconfigurables FPGA, et aborde en particulier la conception conjointe matérielle/logicielle sur ces plates-formes. Les thèmes abordés sont la modélisation VHDL comportementale, le développement d'IP matérielles, et la conception de SOPC (System on a Programmable Chip). Ces aspects seront appliqués dans le cadre d'un mini-projet.

Contenu détaillé de l'UE (1 ou 2 paragraphes)

- Cours
 - o VHDL RTL (4h)
 - o Notion d'IP matérielle : découpage partie opérative / partie contrôle(4h)
 - o FPGA : architectures, technologies, applications (2h)
 - o Microprocesseur softcore embarqué (2h)
 - o Interconnect / Bus embarqués (AMBA, AXI..., FSL, PLB) (4h)
 - o Interaction processeur/périphériques – Mapping mémoire (4h)
- TP
 - o Prise en main du flot de conception SOPC
 - o Projet SOPC (Développement d'une chaîne de mesure : Capteur température, NIOS, IP Timer, Actionneur)

Moyens pédagogiques (matériel, logiciels...)

- Cartes Altera DE2
- Logiciels Quartus, Modelsim
- Matériel additionnel (capteur/actionneur)

UE Pré-requis (éventuellement)

- Bases en VHDL et en architecture des processeurs

Modalités de contrôle des Connaissances

- Examen écrit (50%) et rapport de projet (50%)

Références bibliographiques